



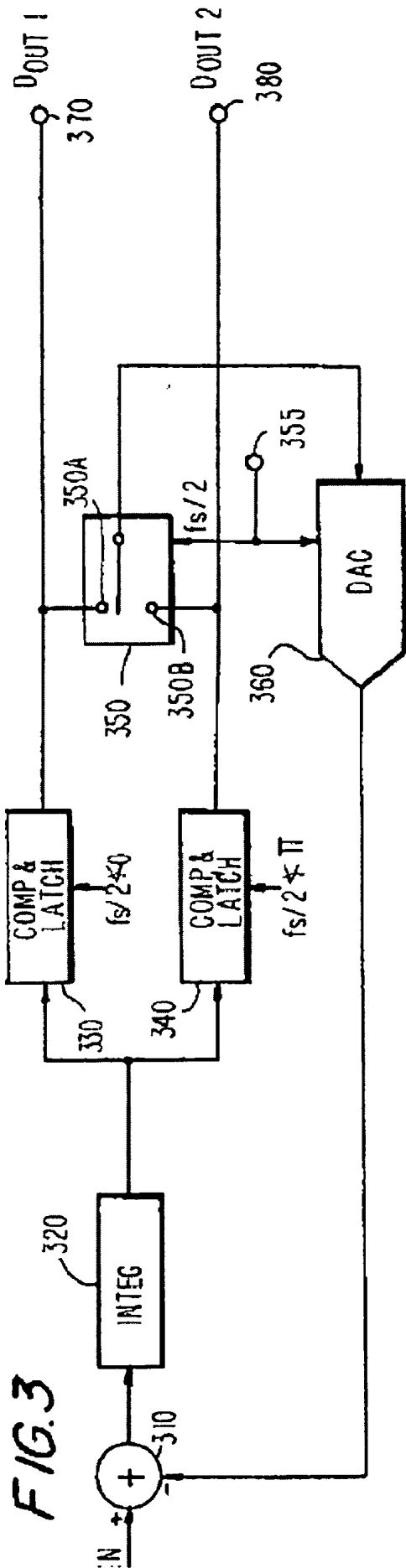


**Delta sigma analog-to-digital converter****Publication number:** DE69620285T**Publication date:** 2002-10-02**Inventor:** CAKE BRIAN V (US); GOUMAZ JEAN-FRANCOIS (CH);  
LECROY WALTER O (US)**Applicant:** LECROY CORP (US)**Classification:****- international:** *H03M1/08; G01R13/02; H03M3/02; H03M1/08;  
G01R13/00; H03M3/02; (IPC1-7): H03M3/02***- european:** H03M3/02**Application number:** DE19966020285T 19960111**Priority number(s):** US19950394427 19950224**Also published as:** E P0734125 (A1)  
 US 5621408 (A1)  
 J P8265158 (A)  
 E P0734125 (B1)  
 CA 2166172 (C)**Report a data error here**

Abstract not available for DE69620285T

Abstract of corresponding document: **EP0734125**

A delta sigma converter according to the present invention replaces the quantizer of a conventional delta sigma converter, such as a comparator followed by a latch, with N quantizers, each operating at a reduced frequency  $f_s/N$  and phase offset from each other by  $2\pi/N$ . The quantized outputs are assembled in accordance with a control signal to produce a feedback signal at a frequency  $f_s$  and the feedback signal is applied to a subtractor of the delta sigma converter.





13 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Übersetzung der  
europäischen Patentschrift

97 EP 0 734 125 B 1

10 DE 696 20 285 T 2

5 Int. Cl. 7: <sup>D3</sup>  
H 03 M 3/02

- 21 Deutsches Aktenzeichen: 696 20 285.9  
56 Europäisches Aktenzeichen: 96 300 211.8  
56 Europäischer Anmeldetag: 11. 1. 1996  
97 Erstveröffentlichung durch das EPA: 25. 9. 1996  
97 Veröffentlichungstag  
der Patenterteilung beim EPA: 3. 4. 2002  
47 Veröffentlichungstag im Patentblatt: 2. 10. 2002

- 30 Unionspriorität:  
394427 24. 02. 1995 US
- 73 Patentinhaber:  
Lecroy Corp., Chestnut Ridge, N.Y., US
- 74 Vertreter:  
BOEHMERT & BOEHMERT, 28209 Bremen
- 84 Benannte Vertragsstaaten:  
AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LI, LU, MC,  
NL, PT, SE

- 72 Erfinder:  
Cake, Brian V., Sea Girt, New Jersey 08750, US;  
Goumaz, Jean-Francois, 1208 Geneva, CH; LeCroy,  
Walter O., Nyack, New York 10960, US

- 54 Delta-Sigma-Analog-Digitalwandler

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 696 20 285 T 2

DE 696 20 285 T 2

### Übersetzung der Beschreibung

Die Erfindung betrifft die Analog-Digital-Wandlung und spezielle Analog-Digital-Wandler des Delta-Sigma-Typs.

Delta-Sigma-Wandler, die auch als Sigma-Delta-Modulatoren bezeichnet werden, wandeln eine Signalamplitude in digitale Daten um. Ein Eingangssignal mit einer gegebenen Frequenz  $f_0$  wird überabgetastet, das heißt es wird mit einer Rate  $f_s$  abgetastet, die wesentlich höher als die Nyquist-Rate ist,  $f_s \gg 2f_0$ . Wenn der Delta-Sigma-Wandler eine Ein-Bit-Quantisierung verwendet, umfaßt das Ausgangssignal einen Ein-Bit-Datenimpulsstrom mit einer zeitlich gemittelten Amplitude, die proportional zur Amplitude des Eingangssignals ist. Ein Beispiel eines Modulators des Standes der Technik findet man in der US-A-5 030 954, die einen interpolierenden Modulator mit einer Überabtastung mit doppelter Frequenz für eine Analog-Digital-Wandlung offenbart, für welche die Auflösung oder Umwandlungsrate erhöht werden sollen.

Die Quantisierung des Eingangssignals trägt Fehler, das heißt Rauschen, in das Ausgangssignal ein. Ein Hauptvorteil der Delta-Sigma-Wandler ist ihre Fähigkeit, das Spektrum des Quantisierungsrauschens zu formen, insbesondere das Rauschen von niedrigen Frequenzen in hohe Frequenzen zu bewegen. Die Ausgangsdaten werden dann tiefpass-gefiltert, um das Rauschen zu entfernen.

Ein Delta-Sigma-Ein-Bit-Wandler erster Ordnung ist in Figur 1 zeigt, mit einem Subtrahierer 20, einem Integrator 30, einem Analog-Digital-Wandler 40, der einen Vergleicher 43 und ein Latch 46 aufweist, und einem Digital-Analog-Wandler 50.

Ein Eingangssignal  $S_{IN}$  mit einer maximalen Frequenz  $f_0$  wird an einen Eingangsanschluß 10 angelegt, der das Signal  $S_{IN}$  an den Subtrahierer 20 liefert. Der Subtrahierer 20 subtrahiert ein Rückkopplungssignal von dem vorliegenden Eingangssignal, um ein Differenzsignal zu erzeugen, und legt das Differenzsignal an den Integrator 30 an.

Der Integrator 30 dient zum Addieren des Differenzsignals zur Summe der vorhergehenden Differenzsignale, um ein integriertes Signal zu erzeugen, und um das integrierte Signal an einen Vergleichler 43 zu liefern.

Der Vergleichler dient dazu, das integrierte Signal in einen von zwei Pegeln grob zu quantisieren und das quantisierte Signal an einen Latch oder Zwischenspeicher 46 zu liefern. Das Latch 46 empfängt auch ein Steuersignal mit der Abtastfrequenz  $f_s$  von einem Taktgenerator (nicht gezeigt) über einen Eingangsanschluß 45 und kann das quantisierte Signal abhängig von dem Steuersignal abtasten und den abgetasteten Wert als ein Ausgangssignal  $D_{OUT}$  an einen Ausgangsanschluß 60 und an einen Digital-Analog-Wandler (DAC) 50 liefern. Alternativ führt der Vergleichler 43 eine Fein-Quantisierung des integrierten Signals durch, um ein Ausgangssignal zu erzeugen, das mehr als zwei Pegel aufweist.

Der DAC 50 empfängt das Ausgangssignal  $D_{OUT}$  und das Steuersignal mit der Abtastfrequenz  $f_s$  und dient zum Umwandeln des Wertes  $D_{OUT}$  in einen von zwei Ausgangssignalpegeln und zum Liefern des Ergebnisses als das Rückkopplungssignal an den Subtrahierer 20.

Die Rückkopplung stellt sicher, daß der Mittelwert des quantisierten Signals dem mittleren Eingangswert folgt.

Wie von James C. Candy et al. „Oversampling Delta-Sigma Data Converters“, IEEE Press, 1992, Seiten 2-7 erläutert ist für einen Delta-Sigma-Modulator erster Ordnung das rms-Rauschen ( $rms = \text{quadratisches Mittel}$ )  $n_0$  in dem Signalband  $f_0$  gegeben durch:

$$n_0^{\text{1. Ordnung}} = e_{rms} (\pi^2/3)^{1/2} (2f_0/f_s)^{3/2} \quad \dots \text{(Gl. 1)}$$

wobei  $e_{rms}$  der RMS-Quantisierungs-Fehler ist. Die Verdoppelung der Abtastfrequenz eines Delta-Sigma-Wandlers erster Ordnung senkt das Rauschen innerhalb des Bandes um 9 dB, was einer Erhöhung der Auflösung um 1,5 Bit entspricht.

Die Architektur eines Delta-Sigma-Wandlers erster Ordnung ist relativ einfach. Wegen des Vorhandenseins der Rückführungsschleife können relativ ungenaue Schaltkreiskomponenten verwendet werden.

Ein Delta-Sigma-Wandler zweiter Ordnung ist in Figur 2 gezeigt, mit Subtrahierern 110, 130 Integratoren 120, 140, einem Vergleicher 153, einem Latch 156 und einem DAC 160. Der Delta-Sigma-Wandler zweiter Ordnung ist im allgemeinen ähnlich dem Delta-Sigma-Wandler erster Ordnung, außer daß das Rückkopplungssignal an ein „äußeren“ Subtrahierer 110 geliefert wird, wo es mit dem Eingangssignal kombiniert und dann integriert wird, bevor es an einen „inneren“ Subtrahierer 130 angelegt wird.

Ein innerer Pfad, der den Subtrahierer 130, den Integrator 140, den Vergleicher 153, das Latch 156 und den DAC 160 umfaßt, dient zum Stabilisieren des Systems und Ermitteln der hochfrequenten Eigenschaften des Systems. Ein äußerer Pfad, der den Subtrahierer 110 und den Integrator 120 umfaßt, dominiert bei der Bestimmung der niederfrequenten Eigenschaften des Systems.

Für einen Delta-Sigma-Modulator zweiter Ordnung ist das RMS-Rauschen  $n_0$  in dem Signalband  $f_0$  gegeben durch:

$$n_0^{2. \text{ Ordnung}} = e_{\text{rms}} (\pi^4/5)^{1/2} (2f_0/f_s)^{5/2} \quad \dots \text{ (Gl. 2)}$$

Die Verdoppelung der Abtastfrequenz eines Delta-Sigma-Wandlers zweiter Ordnung senkt das Rauschen innerhalb des Bandes um 15 dB, was einer Erhöhung der Auflösung um 2,5 Bit entspricht.

Im Vergleich zu dem Delta-Sigma-Wandler erster Ordnung kann der Delta-Sigma-Wandler zweiter Ordnung das Quantisierungsrauschen verringern und erlaubt so eine verbesserte Auflösung. Der Delta-Sigma-Wandler zweiter Ordnung ist jedoch weniger stabil und weniger tolerant in bezug auf Bauteilungenauigkeiten.

Delta-Sigma-Wandler werden im allgemeinen nur mit niederfrequenten Eingangssignalen, üblicherweise Sprachsignalen, verwendet, weil sie eine hohe Abtastfrequenz insbesondere eine Abtastrate von bis zu einigen Größenordnungen größer als die Nyquist-Frequenz benötigen. Für Eingangssignale mit mittleren Frequenzen sind Komponenten, die mit einer ausrei-

chend hohen Abtastfrequenz arbeiten, teuer. Für Eingangssignale mit hohen Frequenzen sind Komponenten, die mit einer ausreichend hohen Abtastrate arbeiten, nicht erhältlich.

Um eine effektive Abtastfrequenz von  $f_s$  unter Verwendung von Komponenten, die mit einer niedrigeren Abtastfrequenz arbeiten, zu erhalten, wurde vorgeschlagen, zwei getrennte Delta-Sigma-Wandler zu verzahnen, die jeweils mit  $f_s/2$  arbeiten, wobei die Taktsignale für die Delta-Sigma-Wandler versetzt sind. Ungünstigerweise würde die Überabtastrate  $f_s/f_0$  für jeden dieser Delta-Sigma-Wandler auf die Hälfte reduziert, so daß das Rauschen innerhalb des Bandes für jeden der Delta-Sigma-Wandler in der verzahnten Struktur in bezug auf einen einzelnen Delta-Sigma-Wandler, der mit  $F_s$  arbeitet, um 9 dB erhöht wird. Aufgrund des Rauschens jedes Delta-Sigma-Wandlers, das sich quadratisch addiert, wenn es nicht korreliert ist, nimmt zusätzlich das Rauschen innerhalb des Bandes um zusätzliche 3 dB zu. Bei diesem Ansatz mit verzahnten Delta-Sigma-Wandlern nimmt somit insgesamt das Rauschen um 12 dB zu, was einer Verringerung der Auflösung um 2 Bit im Vergleich zu einem einzelnen herkömmlichen Delta-Sigma-Wandler entspricht. Dieser vorgeschlagene Lösungsansatz ist daher nicht effektiv.

Es ist daher eine Aufgabe der Erfindung, einen Delta-Sigma-Wandler vorzusehen, der die oben erläuterten Nachteile des Standes der Technik vermeidet. Eine weitere Aufgabe der Erfindung besteht darin, einen Delta-Sigma-Wandler vorzusehen, der langsamere Komponenten verwenden kann, um eine angemessen hohe Abtastrate vorzusehen.

Eine weitere Aufgabe der Erfindung besteht darin, einen Delta-Sigma-Wandler mit geringeren Herstellungskosten vorzusehen.

Noch eine weitere Aufgabe der Erfindung besteht darin, einen Analog-Digital-Wandler mit einer einfachen Struktur vorgesehen, der mit einem hochfrequenten Eingangssignal arbeiten kann.

Noch eine weitere Aufgabe der Erfindung besteht darin, einen Analog-Digital-Wandler vorzusehen, der sein Ausgangssignal in eine Gruppe aus niederfrequenten Signalen zerlegt (demultiplext).

Gemäß eines Aspekts der Erfindung werden ein Verfahren und eine Vorrichtung zum umwandeln eines analogen Eingangssignals in wenigstens zwei digitale Ausgangssignale vorgesehen. Ein Rückkopplungssignal wird von dem analogen Eingangssignal subtrahiert, um ein Differenzsignal zu erzeugen, das integriert wird, und das integrierte Signal wird quantisiert, um die wenigstens zwei digitalen Ausgangssignale abhängig von jeweiligen Steuersignalen zu erzeugen, die jeweils eine vorgegebene Frequenz haben und in ihrer Phase gegeneinander versetzt sind. Die wenigstens zwei digitalen Ausgangssignale werden in das Rückkopplungssignal umgewandelt.

Die Erfindung wird durch die unabhängigen Ansprüche definiert. Bevorzugte Merkmale der Erfindung sind den abhängigen Ansprüchen angegeben.

Die Erfindung kann auf verschiedene Weise realisiert werden, wobei einige Ausführungsformen im folgenden mit Bezug auf die Zeichnungen beispielhaft beschrieben werden. In den Figuren zeigt:

- Figur 1 ein Blockdiagramm eines Delta-Sigma-Wandlers erster Ordnung;
- Figur 2 zeigt ein Blockdiagramm eines Delta-Sigma-Wandlers zweiter Ordnung;
- Figur 3 zeigt ein Blockdiagramm eines Delta-Sigma-Wandlers gemäß der Erfindung;
- Fig. 4a  
bis 4c sind Zeitablaufdiagramme, welche die Beziehung der Abtastfrequenzen, die in dem Delta-Sigma-Wandler der Figur 3 verwendet werden, darstellen;
- Figur 5 ist ein Blockdiagramm eines weiteren Delta-Sigma-Wandlers gemäß der Erfindung;
- Figur 6 ist ein Diagramm noch eines weiteren Delta-Sigma-Wandlers gemäß der Erfindung;
- Figur 7 ist ein Diagramm eines Teils eines weiteren Delta-Sigma-Wandlers gemäß der Erfindung;
- Fig. 8a  
bis 8c zeigen Zeitablaufdiagramme, auf die bei der Erläuterung des Betriebs des in Figur 7 gezeigten Delta-Sigma-Wandlers Bezug genommen wird;
- Figur 9 zeigt ein digitales Abtastoszilloskop, welches einen Delta-Sigma-Wandler gemäß der Erfindung enthält.

Ein Delta-Sigma-Wandler gemäß der Erfindung ersetzt den Quantisierer eines herkömmlichen Delta-Sigma-Wandlers, wie einen Vergleicher, dem ein Latch folgt, durch N Quantisierer, die



jeweils mit einer reduzierten Frequenz  $f_s/N$  arbeiten und bezüglich der Phase zueinander um  $2\pi/N$  Radian versetzt sind. Die quantisierten Ausgangssignale werden in einem Digital-Analog-Wandler (DAC) abhängig von einem Steuersignal mit einer Frequenz  $f_s$  zusammengesetzt, um das Rückkopplungssignal zu erzeugen, das an den Subtrahierer des Delta-Sigma-Wandlers angelegt wird.

Ein Delta-Sigma-Wandler gemäß der Erfindung kann also Komponenten verwenden, die mit niedrigeren Frequenzen als die Abtastfrequenz  $f_s$  arbeiten, ohne daß im Vergleich zu einem herkömmlichen Delta-Sigma-Wandler der dynamische Bereich Verluste erleidet.

Vorteile eines Delta-Sigma-Wandlers im Vergleich zu einem Flash-ADC sind die weniger Komponenten und somit geringeren Kosten, geringere Leistungsanforderungen und eine größere Zuverlässigkeit, das heißt eine geringere Ausgangsfehler-Wahrscheinlichkeit. Ein 8-Bit-Flash-ADC benötigt zum Beispiel 255 Komparatoren, um 255 Pegel zu erzeugen, die von einem Codierer, der eine erhebliche Menge Logik und Speicher umfaßt, in 8 Bit umgewandelt werden.

Mit Bezug auf die Zeichnungen, insbesondere Figur 3 ist eine Ausführungsform eines Delta-Sigma-Wandlers gemäß der Erfindung gezeigt. Die in Figur 3 gezeigte Vorrichtung umfaßt einen Subtrahierer 310, einen Integrierer 320, Abtastvergleicher 330, 340 einen Schalter 350 und einen DAC 360.

Ein Eingangssignal  $S_{IN}$  wird an einen Eingangsanschluß 300 angelegt, der das Signal  $S_{IN}$  an einen Subtrahierer 310 liefert. Der Subtrahierer 310 dient zum Subtrahieren eines Rückkopplungssignals von dem aktuellen Eingangssignal, um ein Differenzsignal zu erzeugen, und legt das Differenzsignal an einen Integrierer 320 an. Der Integrierer 320 dient zum Addieren des Differenzsignals zu der Summe vorhergehender Differenzsignale, um ein integriertes Signal zu erzeugen, und liefert das integrierte Signal an die Abtastvergleicher 330, 340.

Die Abtastvergleicher 330, 340 können jeweils das integrierte Signal in einen von zwei Pegeln grob quantisieren, um das quantisierte Signal abhängig von dem Steuersignal mit der Abtastfrequenz  $f_s/2$  abzutasten und die jeweiligen abgetasteten Werte als Ausgangssignale  $D_{OUT1}$ ,  $D_{OUT2}$  an Ausgangsanschlüsse 370 bzw. 380 und an einen Schalter 350 zu liefern.

Die Abtasttaktsignale, welche an die Vergleicher 330, 340 geliefert werden, sind zeitlich verschränkt. Wie in den Fig. 4A bis 4C gezeigt, stellt das Abtasttaktsignal, das an den Vergleich 330 geliefert wird, die ungeraden Impulse des Abtasttaktsignals  $f_s$  dar, während das Abtastsignal, das an den Vergleich 340 geliefert wird, den geradzahlig Impulsen des Abtasttaktsignals  $f_s$  entspricht. Alternativ könnte das Abtasttaktsignal, das an den Vergleich 330 geliefert wird, um  $180^\circ$  verzögert werden, um das Abtasttaktsignal zu erzeugen, das an den Vergleich 340 geliefert wird.

Der Schalter 350 empfängt die Ausgangssignale  $D_{OUT1}$ ,  $D_{OUT2}$ , die jeweils mit einer Rate von  $f_s/2$  abgetastet wurden, sowie ein Steuersignal mit einer Frequenz  $f_s/2$  von einem Eingangsanschluß 355 und kann die quantisierten Werte  $D_{OUT1}$ ,  $D_{OUT2}$  mit der doppelten Rate des Steuersignals alternierend auswählen. Das Steuersignal kann z.B. invertiert werden, wobei ein Anschluß einen positiven Impuls des nicht invertierten Signals und ein anderer Anschluß einen positiven Impuls des invertierten Signals liefert. Das Ausgangssignal des Schalters 350 ist somit ein Signal mit der gewünschten Abtastfrequenz  $f_s$ , obwohl jeder der Abtastvergleicher 330, 340 mit einer Rate von  $f_s/2$  arbeitet.

Der Digital/Analog-Wandler 360 empfängt die geschalteten Ausgangssignale  $D_{OUT1}$ ,  $D_{OUT2}$  und das Steuersignal mit der Abtastfrequenz  $f_s$  und dient zum Umwandeln der Werte  $D_{OUT1}$ ,  $D_{OUT2}$  in einen von zwei Ausgangssignalpegeln und zum Liefern des Ergebnisses als das Rückkopplungssignal an den Subtrahierer 310.

Fig. 5 zeigt eine andere Ausführungsform eines Delta-Sigma-Wandlers gemäß der Erfindung. Die in Fig. 5 gezeigte Vorrichtung umfaßt einen Subtrahierer 510, einen Integrierer 520, Abtastvergleicher 530, 540, Digital/Analog-Wandler 550, 560 und einen Schalter 570.

In der Delta-Sigma-Wandler der Fig. 5 arbeitet im wesentlichen genauso wie der Delta-Sigma-Wandler der Fig. 3, außer das die quantisierten Ausgangssignale  $D_{OUT1}$ ,  $D_{OUT2}$  jeweils an die Digital/Analog-Wandler 550 bzw. 560 und nicht an den Schalter geliefert werden. Die Digital/Analog-Wandler arbeiten mit derselben Frequenz wie die Vergleicher und sind auf dieselbe Weise phasenversetzt. Die Ausgangssignale der Digital/Analog-Wandler (DAC) 550, 560 werden an Eingänge 570A bzw. 570B des Schalters 570 geliefert. Ein Steuersignal mit der Frequenz  $f_s/2$  wird von einem Taktsignalerzeuger (nicht gezeigt) über einen Eingangsanschluß 575 ebenfalls an den Schalter 570 geliefert. Der Schalter 570 kann die Ausgangs-

signale der DACs 550, 560 alternierend auswählen, um das Rückkopplungssignal zu erzeugen, das an den Subtrahierer 510 angelegt wird.

In dieser allgemeinen Beschreibung umfaßt eine Delta-Sigma-Wandler gemäß der Erfindung N Vergleicher, die jeweils mit einer Frequenz von  $f_s/N$  arbeiten, und einen Schalter mit N Eingängen, der seinerseits mit einer Rate von  $f_s$  angesteuert wird. Ein Delta-Sigma-Wandler gemäß der Erfindung kann auch N Digital/Analog-Wandler umfassen, die jeweils mit einer Frequenz von  $f_s/N$  arbeiten. Die an die Vergleicher und Digital/Analog-Wandler angelegten Taktsignale sind zueinander um  $2\pi/N$  versetzt. Zum Zwecke der Darstellung zeigen die Figuren 3 und 5 den Fall  $N = 2$  für einen Delta-Sigma-Wandler erster Ordnung. Für ein Delta-Sigma-Wandler höherer Ordnung wird das Rückkopplungssignal an einen anderen „äußeren“ Pfad geführt, der einen weiteren Subtrahierer und einen weiteren Integrierer umfaßt, wie allgemein in Fig. 2 gezeigt ist.

Wenn die Vergleicher in einem Delta-Sigma-Wandler gemäß der Erfindung identisch sind, liefern die Ausgänge, wenn sie zusammengefügt werden, ein Signal mit einem Signal-Rausch-Verhältnis, das von einem herkömmlichen Delta-Sigma-Wandler, der Komponenten aufweist, welche mit der Abtastfrequenz  $f_s$  arbeiten, nicht unterschieden werden kann. Das Zusammenfügen der Ausgangssignale  $D_{OUT1}$ ,  $D_{OUT2}$  kann z.B. dadurch erreicht werden, daß diese Werte in wechselnden Positionen eines Speichers gespeichert werden, wie bei Adressen  $n$ ,  $n+2$ ,  $n+4$ , ... für die Ausgangssignale  $D_{OUT1}$  und Adressen  $n+1$ ,  $n+3$ ,  $n+5$ , ... für die Ausgangssignale  $D_{OUT2}$ , und dann nacheinander aus dem Speicher ausgelesen werden.

Wenn die Vergleicher in einem Delta-Sigma-Wandler gemäß der Erfindung nicht identisch sind, dann weisen die zusammengesetzten Ausgangssignale ein Fehlersignal mit der Frequenz  $f_s/N$  auf, das leicht durch eine Bandpaßfilterung des zusammengesetzten Signals eliminiert werden kann. Wenn die zusammengesetzten Ausgangssignale z.B.  $D_{OUT1}(n)$ ,  $D_{OUT2}(n+1)$ ,  $D_{OUT1}(n+2)$ ,  $D_{OUT2}(n+3)$ , ... sind, kann die Filterung die Mittelung von Paaren benachbarter zusammengesetzter Ausgangssignale umfassen, um die folgenden gefilterten Ausgangssignale zu erzeugen

$$\begin{aligned} & (D_{OUT1}(n) + D_{OUT2}(n+1))/2, \\ & (D_{OUT2}(n+1) + D_{OUT1}(n+2))/2, \\ & (D_{OUT1}(n+2) + D_{OUT2}(n+3))/2, \dots \end{aligned}$$

Ein Delta-Sigma-Wandler gemäß der Erfindung kann das integrierte Signal auf mehr als zwei Pegel quantisieren, indem z.B. ein Flash-A/D-Wandler anstelle eines Vergleichers verwendet wird. In diesem Fall muß die Anordnung der Quantisierungsschwellwerte berücksichtigt werden.

Es sei ein Eingangssignal mit einer Frequenz 500 MHz angenommen, eine Abtastfrequenz  $f_s = 10$  GHz und ein Zwischenspeicher, der nur unter 10 Giga-Abtastwerte pro Sekunde ordnungsgemäß arbeitet, dann kann kein herkömmlicher Delta-Sigma-Wandler realisiert werden. Ein Delta-Sigma-Wandler gemäß der Erfindung mit zwei zeitlich verschränkten Zwischenspeichern ist jedoch machbar. Ein Delta-Sigma-Wandler gemäß der Erfindung mit vier zeitlich verschränkten Zwischenspeichern ist ebenfalls machbar und führt zu einer Erhöhung der Auflösung um 2,5 Bit für ein System zweiter Ordnung. Wenn acht zeitlich verschränkte Zwischenspeicher verwendet werden, wird eine Erhöhung der Auflösung um 5 Bit für ein System zweiter Ordnung erhalten.

Ein Delta-Sigma-Wandler gemäß der Erfindung erlaubt somit einen Kompromiß zwischen der Anzahl der Komponenten und der Auflösung mit nur einer geringen Erhöhung der Komplexität im Verhältnis zu einem herkömmlichen Delta-Sigma-Wandler. Den herkömmlichen Kompromiß zwischen der Abtastfrequenz und der Auflösung gibt es in einem Delta-Sigma-Wandler gemäß der Erfindung.

In einigen Anwendungen ist es vorteilhaft, das digitale Ausgangssignal eines Delta-Sigma-Wandlers für die nachfolgende Verarbeitung zu de-multiplexen. Ein Delta-Sigma-Wandler gemäß der Erfindung kann als ein Wandler betrachtet werden, der inhärent de-multiplexte digitale Ausgangssignale erzeugt.

Fig. 6 zeigt eine weitere Ausführungsform eines Delta-Sigma-Wandlers, der dem Delta-Sigma-Wandler der Fig. 5 ähnlich ist. Bei dem Delta-Sigma-Wandler der Fig. 6 ist der DAC-Bezugsstrom geschaltet, während bei dem Delta-Sigma-Wandler der Fig. 5 die DAC-Ausgangssignale geschaltet werden. Wie unten erläutert, erfordert der Delta-Sigma-Wandler der Fig. 6 einen Takt, der nur mit  $f_s/2$  arbeitet, um eine effektive Schaltrate von  $f_s$  zu erreichen.



Der Delta-Sigma-Wandler der Fig. 6 umfaßt Stromquellen 610, 611, 618, 619, 650, eine Spannungsquelle 620, einen Kondensator 612, einen Widerstand 617, Transistoren 613, 614, 615, 616, 652, 653, 654, 655, 656, 658 und Abtastvergleicher 630, 640.

Die Transistoren 613, 614, 615, 616 bilden einen Differential-Kaskodenverstärker. Die Emittter der Transistoren 615, 616, sind jeweils mit den Anschlüssen des Widerstands 617 verbunden. Die Kollektoren der Transistoren 613, 614 sind jeweils mit den Anschlüssen des Kondensators 612 verbunden, und die Basen der Transistoren 613, 614 sind gemeinsam mit einer Vorspannung  $V_B$  verbunden.

Die Anschlüsse des Kondensators 612 sind ebenfalls mit den Kollektoren der Transistoren 652, 654, 656, 658 verbunden. Die Transistoren 652, 654 bilden einen Digital/Analog-Wandler, und die Transistoren 656, 658 bilden einen weiteren Digital/Analog-Wandler. Die Emittter der Transistoren 652, 654 sind gemeinsam mit dem Kollektor des Transistors 653 verbunden. Die Emittter der Transistoren 656, 658 sind gemeinsam mit dem Kollektor des Transistors 655 verbunden.

Die Transistoren 653, 655 können den Bezugsstrom der durch die Transistoren 652, 654 und 656, 658 gebildeten Digital/Analog-Wandler schalten.

Die Anschlüsse der Kondensatoren 612 sind zusätzlich mit den positiven bzw. negativen Eingängen jedes der Abtastvergleicher 630, 640 verbunden. Der Vergleichier 630 ist mit dem durch die Transistoren 652, 654 gebildeten Digital/Analog-Wandler verbunden, und der Vergleichier 640 ist mit dem durch die Transistoren 656, 658 gebildeten Digital/Analog-Wandler verbunden.

Der aus den Transistoren 613, 614, 615, 616, dem Widerstand 617 und den Stromquellen 610, 611, 618, 619 gebildete Schaltkreis ist ein Differential-Transkonduktanzschaltkreis, der das Eingangssignal  $S_{in}$  in einen Differenzstrom umwandeln kann, der bei den Kollektoren der Transistoren 613 und 614 ausgegeben wird. Ein Rückkopplungsstromsignal von den Digital/Analog-Wandlern mit einer derartigen Phase, daß die Rückkopplung negativ ist, wird auch an den Kondensator 612 angelegt.

Der Kondensator 612 kann das negative Rückkopplungsstromsignal mit dem Eingangsstromsignal und einem Signal, das bereits an dem Kondensator anliegt, addieren und das Ergebnis als ein integriertes Signal an die Vergleicher 630, 640 liefern.

Die Vergleicher 630, 640 dienen zum Quantisieren des integrierten Signals, d.h. zum Vergleichen des integrierten Signals mit einem vorgegebenen Schwellwert, um einen Wert zu erzeugen, wenn das Signal wenigstens gleich dem Schwellwert ist, und einen anderen Wert, wenn das Signal geringer als der Schwellwert ist, und um den resultierenden Wert zu halten, bis der nächste Abtastwert vorliegt.

Die Transistoren 653, 655 dienen zum Schalten, d.h. zum Aktivieren oder Deaktivieren der DAC-Transistorpaare 654, 654 und 656, 658.

Wenn der Transistor 653 von dem Abtasttaktsignal 620 aktiviert wird, fließt Strom von der Stromquelle 650 zu den gemeinsamen Emittern der Transistoren 652, 654. Wenn  $D_{OUT1}$  eine logische „0“ ist, dann fließt der gesamte Strom von der Quelle 650 durch den Kollektor des Transistors 654. Wenn  $D_{OUT1}$  eine logische „1“ ist, dann fließt der gesamte Strom von der Quelle 650 durch den Kollektor des Transistors 652. Somit entspricht das Rückkopplungssignal dem Wert  $D_{OUT1}$  von dem Vergleichler 630.

Das Vorsehen der Phaseneinstellung, so daß das Rückkopplungssignal negativ ist, wird wie folgt erreicht. Es sei angenommen, daß der Eingang der Vergleicher so eingestellt ist, daß der „+“-Eingang positiver ist als der „-“-Eingang. Dies wird an den Zwischenspeicher als eine logische „1“ übertragen, so daß der Transistor 652 „ein“ und der Transistor 654 „aus“ ist. Der Strom in dem Kollektor des Transistors 652 bewirkt eine Reduktion des Potentials an dem „+“-Eingang des Vergleichers, so daß eine negative Rückkopplung gebildet wird.

Wenn der Transistor 655 durch das Abtasttaktsignal 620 aktiviert wird, fließt ähnlich ein Strom von der Stromquelle 650 zu den gemeinsamen Emittern der Transistoren 656, 658. Wenn  $D_{OUT1}$  eine logische „0“ ist, fließt der gesamte Strom durch den Kollektor des Transistors 658. Wenn  $D_{OUT2}$  eine logische „1“ ist, fließt der gesamte Strom durch den Kollektor des Transistors 656. Dadurch entspricht das Rückkopplungssignal dem Wert  $D_{OUT2}$  von dem Vergleichler 640.

Das Abtasttaktsignal 620 kann als ein Signal mit einer Periode betrachtet werden, die eine positive Flanke und eine negative Flanke umfaßt. Während die Rate des Abtasttaktsignals durch die positive Flanke in jeder Periode bestimmt wird, wird die effektive Schaltrate der Digital/Analog-Wandler durch die positive und die negative Flanke in einer Periode bestimmt, da die positive Flanke den Transistor 653 aktiviert, während die negative Flanke den Transistor 655 aktiviert. Ein Taktsignal mit einer Rate  $f_s/2$  liefert somit bei der Konfiguration der Fig. 6 eine effektive Schaltrate  $f_s$ .

Die Konfiguration der Fig. 6 kann leicht auf vier Vergleicher erweitert werden, die jeweils mit einer Rate  $f_s/4$  arbeiten, wobei vier DAC-Transistorpaare jeweils zwischen den Ausgängen der Vergleicher und einem Kondensator in einer Kaskodenkonfiguration angeschlossen sind. Fig. 7 zeigt die entsprechende Erweiterung des Schaltkreisabschnitts, der den Bezugsstrom von den DAC-Transistorpaaren schaltet, so daß nur einer der Vergleicherausgänge an den Summationskondensator zurückgeführt wird.

Fig. 7 umfaßt Taktsignalquellen 700, 750, 760, Transistoren 710, 720, 730, 740, 770, 780 und eine Stromquelle 790. Die Kollektoren der Transistoren 710, 720, 730, 740 sind jeweils mit den gemeinsamen Emitttern der Transistoren in den Transistorpaaren, welche die vier Digital/Analog-Wandler bilden, verbunden.

Das Taktsignal 760 hat eine Frequenz  $f_s/4$ . Während des „positiven Impuls“-Abschnitts jeder Periode mit einer Dauer von  $2\pi$ , wird der Transistor 770 aktiviert, so daß der Strom von der Stromquelle 790 zu den gemeinsamen Emitttern der Transistoren 710, 720 fließt. Das Taktsignal hat eine Frequenz  $f_s/2$ . Während des „positiven Impuls“-Abschnitts jeder Periode mit einer Dauer von  $\pi$ , wird der Transistor 710 aktiviert, so daß ein erster Vergleicherausgang über DAC1 zurückgeführt wird. Während des „negativen Impuls“-Abschnitts jeder Periode, der auch eine Dauer von  $\pi$  hat, wird der Transistor 720 aktiviert, so daß ein zweiter Vergleicherausgang über DAC2 zurückgeführt wird.

Während des „negativen Impuls“-Abschnitts jeder Periode des Taktsignals 760, der auch eine Dauer von  $2\pi$  hat, wird der Transistor 780 aktiviert, so daß Strom von der Stromquelle 790 zu den gemeinsamen Emitttern der Transistoren 730, 740 fließt. Das Taktsignal 750 hat auch eine Frequenz von  $f_s/2$ . Während des „positiven Impuls“-Abschnitts jeder Periode wird der Transistor 730 aktiviert, so daß ein dritter Vergleicherausgang über DAC3 zurückgeführt wird, und

während des „negativen Impuls“-Abschnitts jeder Periode wird der Transistor 740 aktiviert, so daß ein vierter Vergleicherausgang über DAC4 zurückgeführt wird.

Alternativ kann das Taktsignal eine Frequenz von  $f_s/4$  und eine Phase von  $0^\circ$  haben, das Taktsignal 700 kann eine Frequenz von  $f_s/4$  und eine Phase von  $270^\circ$  haben, und das Taktsignal 750 kann eine Frequenz von  $f_s/4$  und eine Phase von  $90^\circ$  haben, wie in den Fig. 8A bis 8C gezeigt. Um somit eine effektive Rückkopplungssignalrate von  $f_s$  zu erreichen, ist eine maximale Taktsignalrate von nur  $f_s/4$  erforderlich. Um eine effektive Rückkopplungssignalrate von  $f_s$  zu erreichen, ist allgemein eine maximale Taktsignalrate von nur  $f_s/N$  erforderlich, wobei N die Anzahl der Vergleiche und der entsprechenden DAC-Transistorpaare ist.

Anwendungen der vorliegenden Erfindung umfassen digitale Abtastoszilloskope, modulare Test- und Ausrüstungssysteme, Anwendungen, in denen Tragbarkeit oder Batteriebetrieb wichtig sind, und allgemein all die Fälle, in denen die Wandlung eines analogen Signals in ein digitales Signal erforderlich ist.

Fig. 9 zeigt ein digitales Abtastoszilloskop, welches ein Delta-Sigma-Wandler gemäß der Erfindung enthält.

Ein Eingangssignal wird an einen Anschluß 800 geliefert, der das Eingangssignal an eine Signalkonditioniereinrichtung 810 liefert, welche das Eingangssignal auf herkömmliche Weise verstärken, verschieben oder auf andere Weise geeignet formen kann und das geformte Signal an einen Delta-Sigma-Wandler 820 und einen Triggerprozessor 870 liefert.

Eine Steuereinrichtung 880 kann Taktsignale erzeugen, welche als die Zeitbasis der Eingangs- und Ausgangssignale geeignet sind, und dieses Taktsignale an den Delta-Sigma-Wandler 820 und Demultiplexer 830A-D liefern. Die Steuereinrichtung 880 erzeugt auch Schreib- und Lesesteuersignale für Speicher, welche in den Demultiplexern 830A-D enthalten sind.

Der Delta-Sigma-Wandler 820 dient zum Umwandeln des geformten Eingangssignals in digitale Datenimpulsströme mit einer kombinierten zeitlich gemittelten Amplitude, die proportional zur Amplitude des Eingangssignals ist, sowie zum Liefern der digitalen Daten an die Demultiplexer 830A-D.



Die Demultiplexer 830A-D umfassen jeweils einen Speicher zum Speichern der digitalen Daten, welche sie empfangen, gemäß Taktimpulsen und Schreib-Steuersignalen, welche sie von der Steuereinrichtung 880 empfangen. Die Demultiplexer werden nur benötigt, wenn die Datenrate von den Wandlern zu schnell ist, als daß die Speicher sie direkt annehmen könnten.

Der Triggerprozessor 870 eignet sich zum Erfassen einer Triggeranzeige in dem geformten Eingangssignal und zum Liefern eines Stoppsignals an die Steuereinrichtung 880 bei Erfassung der Triggeranzeige. Die Steuereinrichtung 880 dient zum Reagieren auf das Stoppsignal von dem Triggerprozessor 870 durch Erzeugen eines Steuersignals für den Delta-Sigma-Wandler 820, um die Signalwandlung zu unterbrechen, und durch Erzeugen eines Lese-Steuersignals für die Demultiplexer 830A-D, um ihren Inhalt an den Prozessor 840 zu übertragen.

Zusätzlich können die Daten, wenn sie von den Demultiplexern 830A-D an den Prozessor 840 übertragen werden, vorverarbeitet sein, z.B. durch Filterung wie oben beschrieben, oder durch Konditionieren, um sie in eine für die Anzeige geeignete Form zu bringen. Die Filterung kann von dem Prozessor 840 oder einem eigenen digitalen Signalprozessor durchgeführt werden.

Der Prozessor 840 eignet sich zum Kombinieren der Signale, die aus den Speichern in den Demultiplexern 830A-D ausgelesen wurden, gegebenenfalls gefiltert oder konditioniert, um ein Anzeigesignal zu bilden und um das Anzeigesignal an ein Anzeigesystem 850 zu liefern, welches das Anzeigesignal zur Anzeige auf einer Anzeigeeinrichtung 860 speichert und geeignet formatiert.

**PATENTANSPRÜCHE**

1. Analog/Digitalwandler zur Umsetzung eines analogen Eingangssignals in mindestens zwei digitale Ausgangssignale, mit:
  - 5 Subtraktionsmitteln (310) zum Subtrahieren eines Rückmeldungssignals einer ersten Frequenz vom besagten analogen Eingangssignal zur Erzeugung eines Differenzsignals;  
Integrationsmitteln (320) zum Integrieren des besagten Differenzsignals zur Erzeugung eines integrierten Signals;
  - 10 Quantelungsmitteln (330,340) zum Quantisieren des besagten integrierten Signals zur Herstellung der besagten mindestens zwei digitalen Ausgangssignale, ausgelöst durch entsprechende Steuersignale je einer vorbestimmten gegenseitig phasenverschobenen Frequenz; und  
Mitteln (350,360) zur Umwandlung der besagten mindestens zwei digitalen
  - 15 Ausgangssignale in das genannte Rückmeldungssignal; dadurch gekennzeichnet, dass die vorbestimmte Frequenz die erste Frequenz geteilt durch die Anzahl der digitalen Ausgangssignale ist.
2. Wandler nach Anspruch 1, dadurch gekennzeichnet, dass die Umsetzungsmittel
  - 20 Schaltvorrichtungen (350) zum Wählen zwischen den besagten mindestens zwei digitalen Ausgangssignalen zur Erzeugung eines Ausgangsverbundsignals sowie Umwandlungsmittel (360) zur Umsetzung des Ausgangsverbundsignals in das Rückmeldungssignal umfassen.
- 25 3. Wandler nach Anspruch 1, dadurch gekennzeichnet, dass die Umsetzungsmittel mindestens zwei Umwandlungsmittel (550,560) zur jeweiligen Umsetzung der mindestens zwei digitalen Ausgangssignale in mindestens zwei umgewandelte Signale sowie Schaltvorrichtungen (570) zum Wählen zwischen den umgewandelten Signalen zur Erzeugung des Rückmeldungssignals umfassen.

4. Wandler nach Anspruch 1, dadurch gekennzeichnet, dass die Umsetzungsmittel mindestens zwei Umwandlungsmittel (652.654:656,658) jeweils zur Umsetzung der digitalen Ausgangssignale in umgewandelte Signale, ferner eine Schaltungsvorrichtung (653.655) zur wahlweisen Betätigung der mindestens zwei Umsetzungsmittel sowie
- 5 Mittel zur Zusammenlegung der umgewandelten, durch die wahlweise betätigten Umsetzungsmittel gebildeten Signale zur Herstellung des besagten Rückmeldungssignals umfassen.
5. Wandler nach Anspruch 4, dadurch gekennzeichnet, dass die Schaltungsvorrichtung
- 10 auf die vorbestimmte Frequenz reagiert und Mittel (620) zur Erzeugung eines Taktsignals der vorbestimmten Frequenz einbeschließt.
6. Wandler nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Quantelungsmittel Vergleichsmittel (330.340) zum Vergleich des integrierten Signals
- 15 mit mindestens einem vorbestimmten Schwellenwert und zur vergleichsgemäßen Abgabe des digitalen Ausgangssignals umfassen.
7. Wandler nach Anspruch 6, dadurch gekennzeichnet, dass die Quantelungsmittel (330.340) zusätzlich Signalzwischenspeicher zur jeweiligen
- 20 Speicherung der mindestens zwei digitalen Ausgangssignale in Reaktion auf die Steuersignale umfassen.
8. Verfahren zur Umwandlung eines analogen Eingangssignals in mindestens zwei digitale Ausgangssignale, bestehend aus den folgenden Vorgängen:
- 25 Subtraktion eines Rückmeldesignals einer ersten Frequenz vom analogen Eingangssignal zur Erzeugung eines Differenzsignals;
- Integration des Differenzsignals zur Erzeugung eines integrierten Signals;
- Quantelung des integrierten Signals zur Erzeugung der mindestens zwei digitalen Ausgangssignale veranlasst durch entsprechende gegenseitig
- 30 phasenverschobene Steuersignale je einer vorbestimmten Frequenz; und

Umwandlung der mindestens zwei digitalen Ausgangssignale in das Rückmeldungssignal;  
dadurch gekennzeichnet, dass die vorbestimmte Frequenz die erste Frequenz geteilt durch die Anzahl der digitalen Ausgangssignale ist.

5

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass der Umwandlungsvorgang das Wählen zwischen den mindestens zwei digitalen Ausgangssignalen zur Erzeugung eines Verbundsignals und die Umsetzung des Verbundsignals in das Rückmeldungssignal umschließt.

10

10. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass der Umwandlungsvorgang die Umsetzung der mindestens zwei digitalen Ausgangssignale in mindestens zwei umgewandelte Signale bzw. das Wählen zwischen den umgewandelten Signalen zur Erzeugung des Rückmeldungssignals umschließt.

15

11. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass der Umwandlungsvorgang den Vorgang der wahlweisen Umsetzung der digitalen Ausgangssignale in umgewandelte Signale sowie den Vorgang der Zusammenlegung der umgewandelten Signale zur Bildung des Rückmeldungssignals umschließt.

20

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass der Zusammenlegungsvorgang in Reaktion auf die vorbestimmte Frequenz erfolgt und die Erzeugung eines Taktsignals der betreffenden, vorbestimmten Frequenz einbeschließt.

25

13. Verfahren nach einem der Ansprüche 8 bis 12, dadurch gekennzeichnet, dass der Quantelungsvorgang den Vergleich des integrierten Signals mit mindestens einem vorbestimmten Schwellenwert und die Erzeugung der vergleichsgemäßen digitalen Ausgangssignale einbeschließt.

25.04.02

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass der Quantelungsvorgang zusätzlich in Reaktion auf die Steuersignale die jeweilige Speicherung der mindestens zwei digitalen Ausgangssignale umschließt.

5

15. Momentanwertoszilloskop mit:  
einem Analog/Digitalwandler (820) nach einem der Ansprüche 1 bis 7;  
einer Speichervorrichtung (830A-D) zum Speichern von mindestens zwei digitalen Ausgangssignalen;

10

Verarbeitungsmitteln (840) für die Zusammenlegung der gespeicherten digitalen Ausgangssignale zur Erzeugung eines Anzeigesignals; sowie  
Bild Darstellungsmitteln (860) zur Darstellung des Anzeigesignals.

0734125

28.04.00

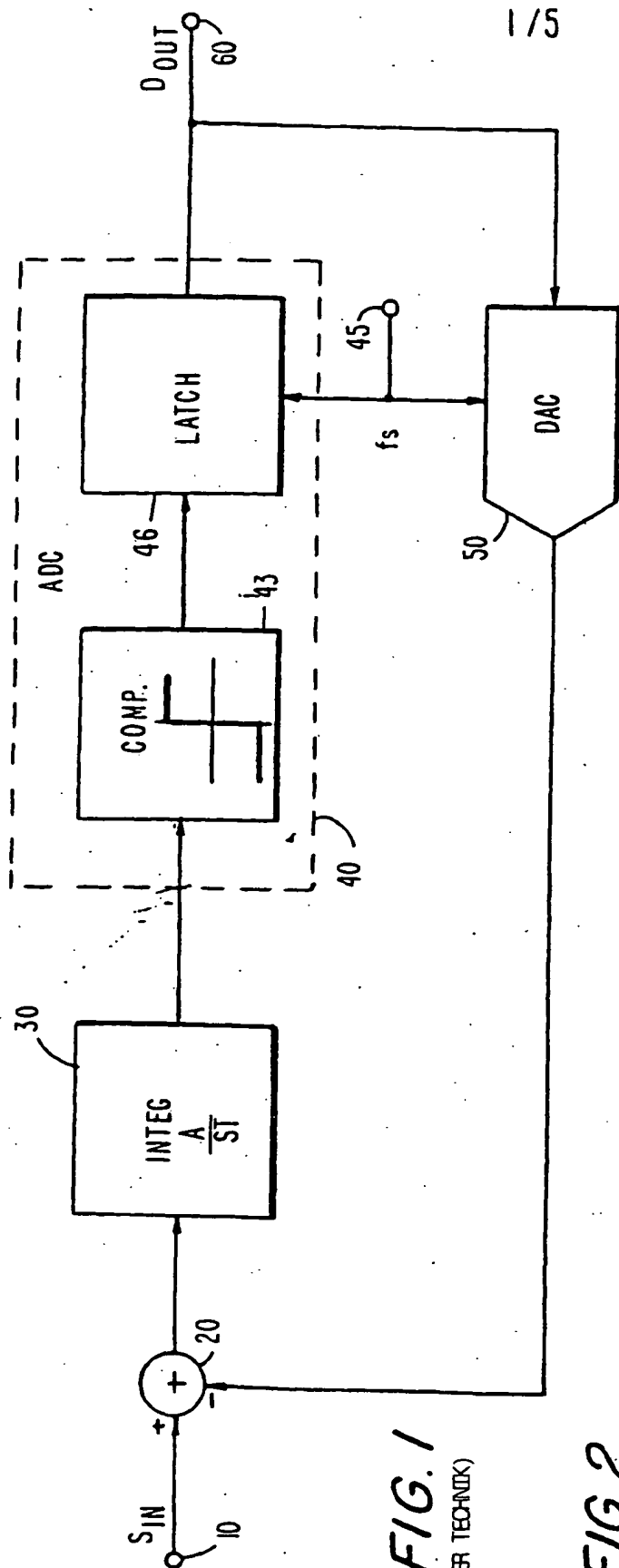
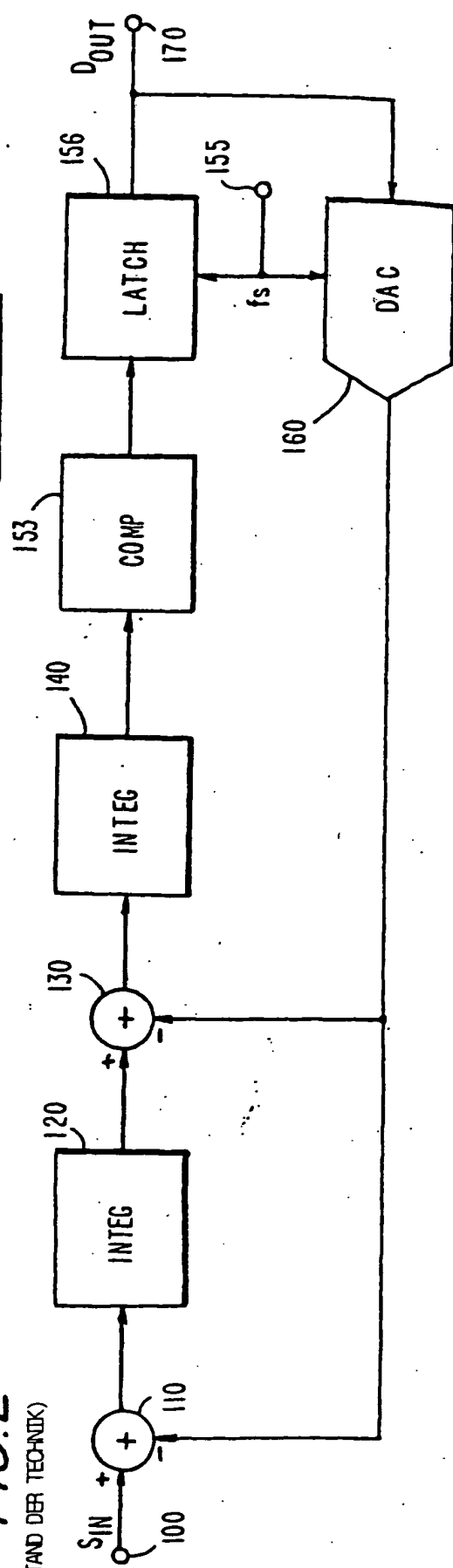


FIG. 1

(STAND DER TECHNIK)

FIG. 2

(STAND DER TECHNIK)



F16.3

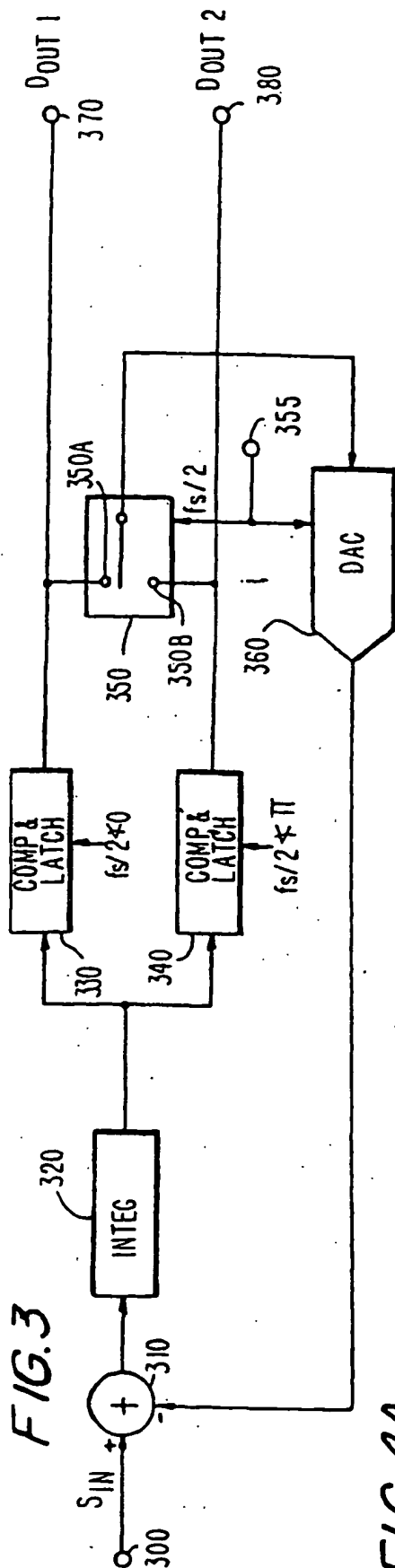
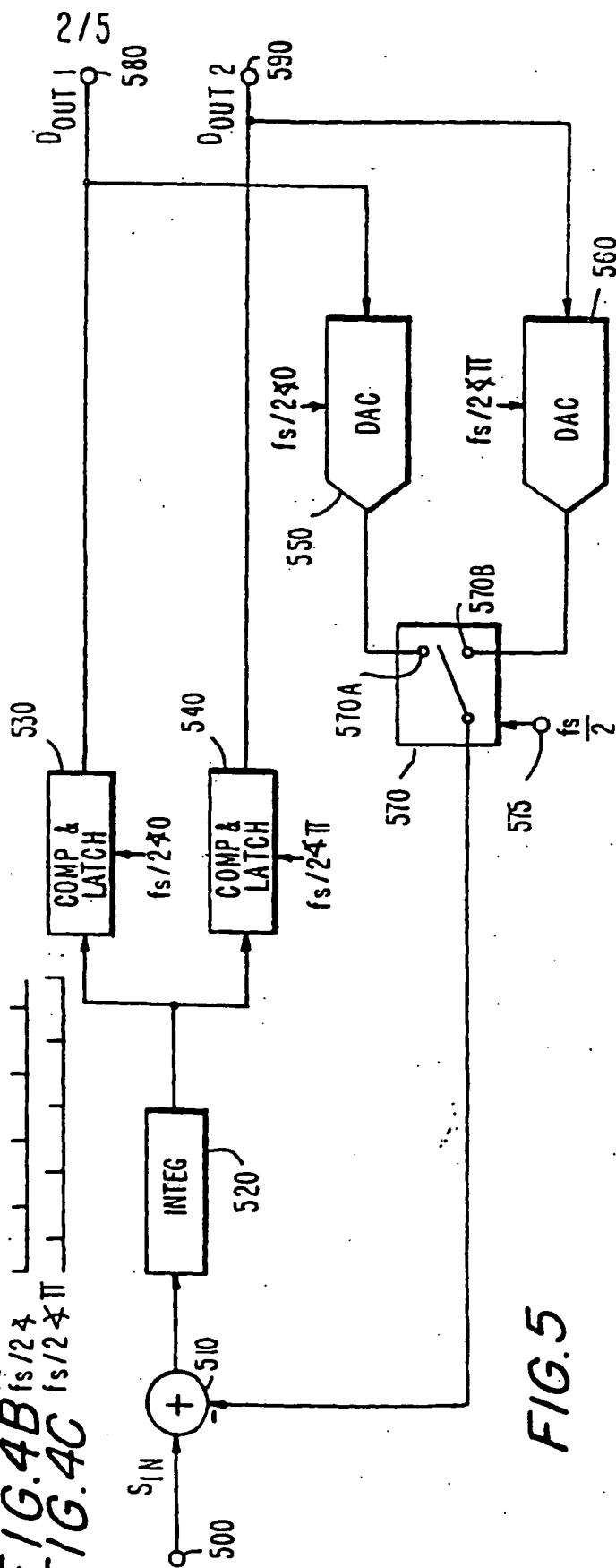


FIG. 4A's

FIG. 4B<sub>15</sub> 124

FIG. 4C



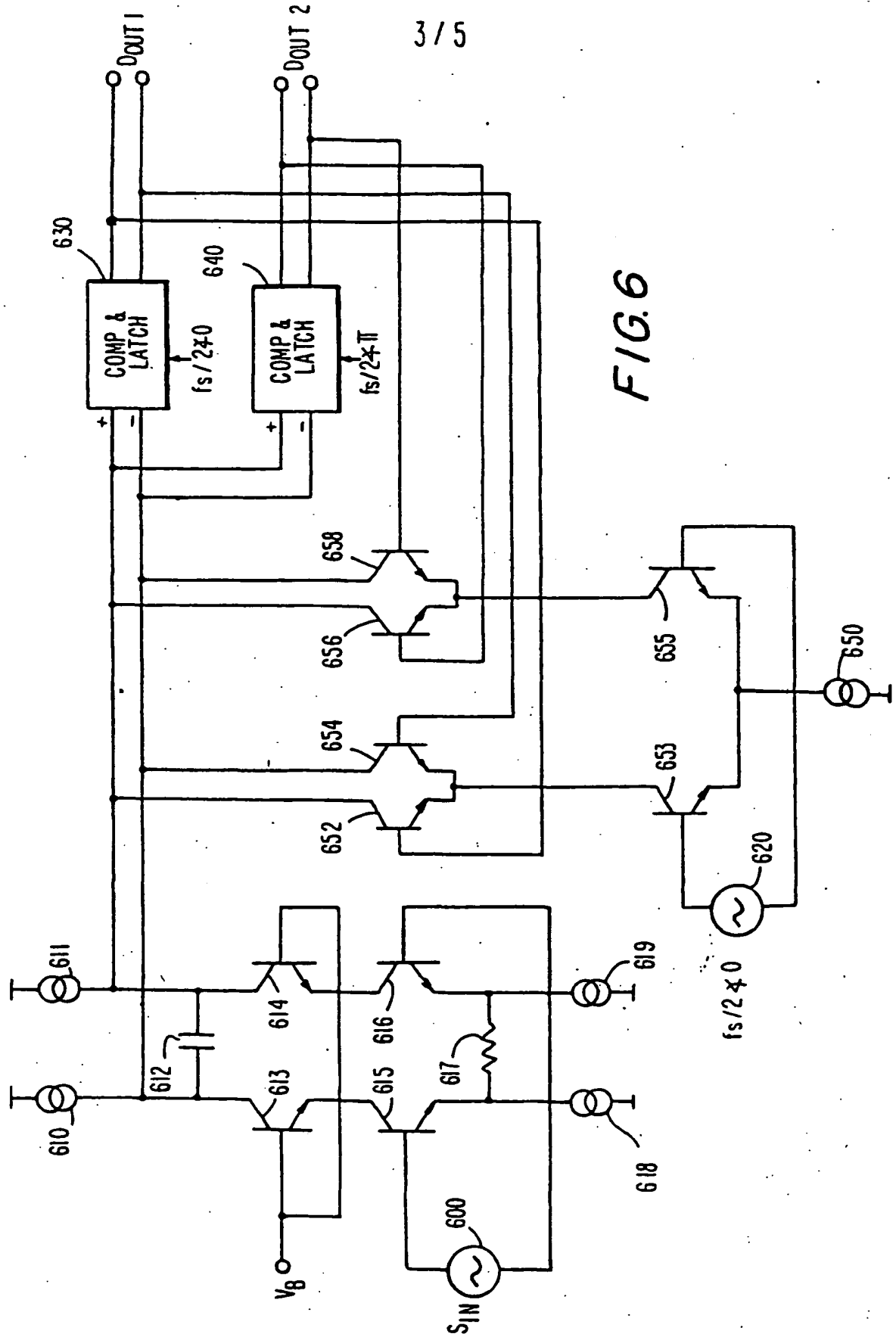


FIG. 6



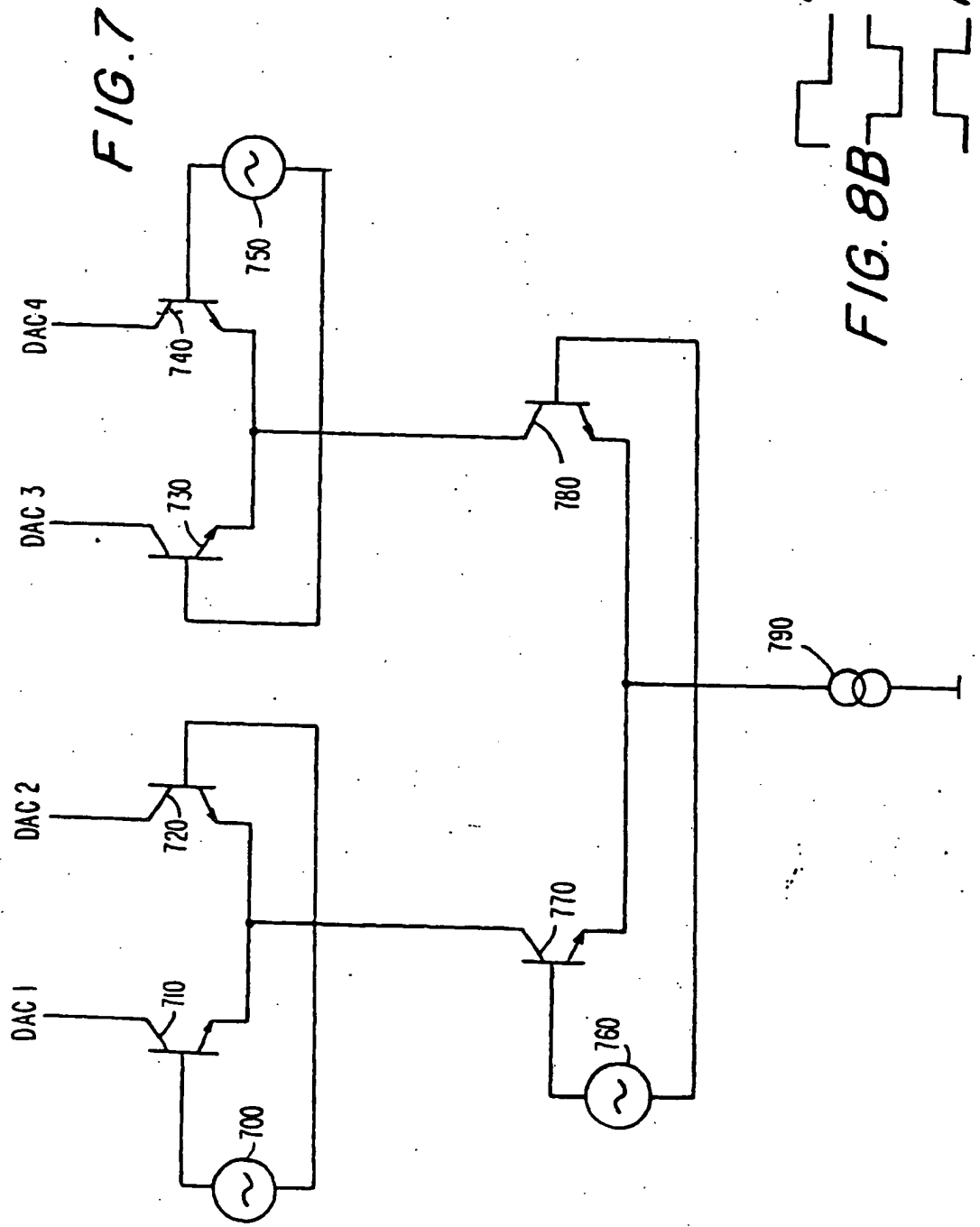
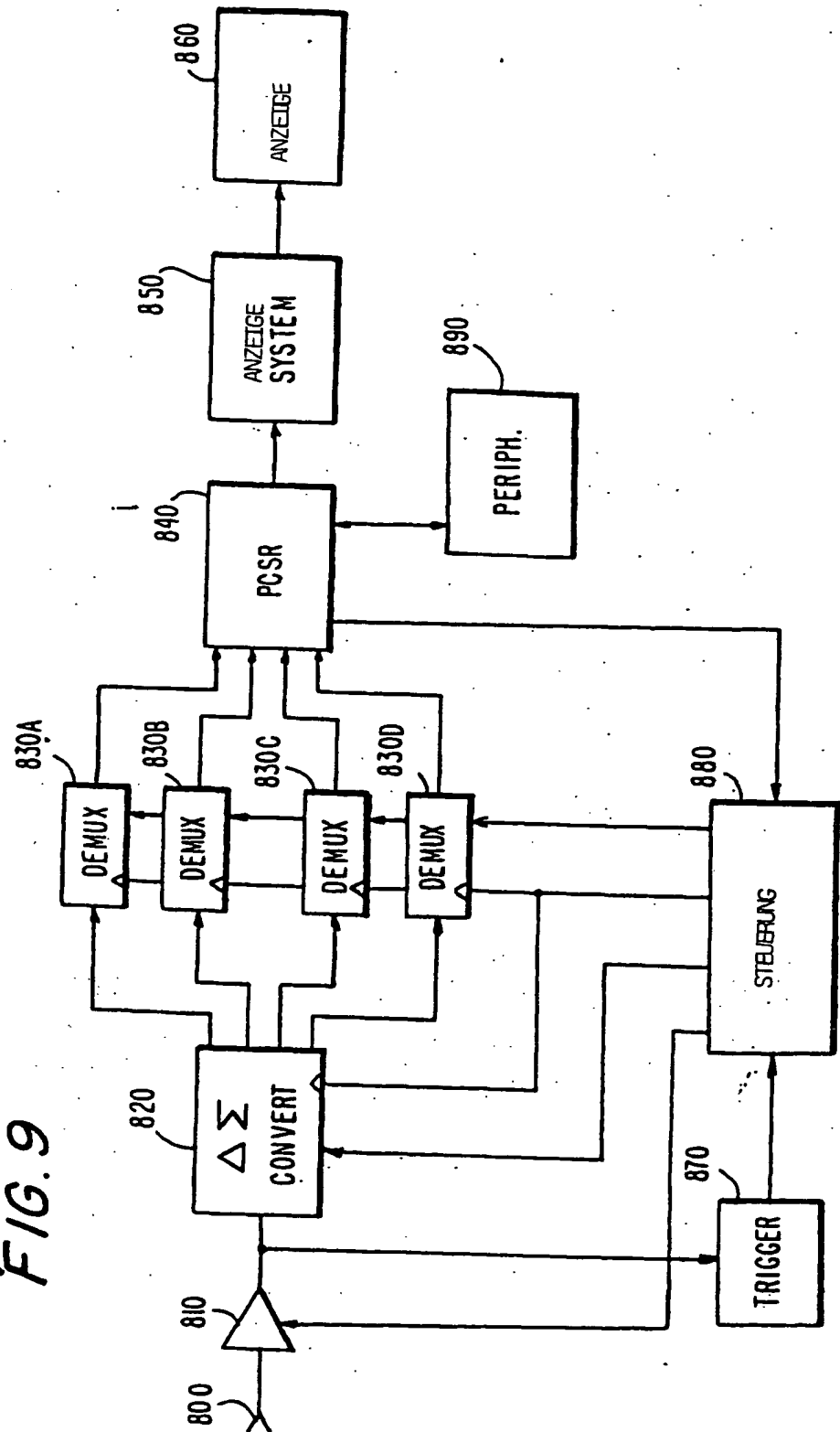


FIG. 9



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**